

⑫ 公開特許公報(A)

昭62-188483

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月18日

H 04 N 5/95
G 11 B 20/02A-7423-5C
7736-5D

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 時間軸誤差補正装置

⑯ 特 願 昭61-5402

⑰ 出 願 昭61(1986)1月14日

⑱ 発 明 者	坂 内 達 司	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	佐々木 清 志	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	千 葉 光 雄	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	栗 本 繁	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	平 塚 才 知 雄	門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1、発明の名称

時間軸誤差補正装置

2、特許請求の範囲

- (1) 時間軸誤差成分を含む再生映像信号の1水平走査期間の時間長を検出した検出時間長と基準クロック信号を所定の数だけ計数した1水平走査期間の基準時間長との差から速度誤差信号を得る手段と、前記速度誤差信号を記憶装置に記憶する手段と、現時刻の速度誤差信号と前記記憶装置に記憶したそれ以前の数水平走査期間の速度誤差信号とから次の水平走査期間内の速度誤差信号を予測し速度誤差補正信号を得る手段と、前記再生映像信号の1水平走査ごとの基準位置に前記基準クロック信号の位相をシフトして位相同期させ位相同期クロック信号を得る手段と、前記位相同期クロック信号を前記速度誤差補正信号に従って位相シフトして位相補正クロック信号を得る手段と、前記位相補正クロック信号で前記再生映像信号をA/D変換する

手段とを少なくとも有することを特徴とする時間軸誤差補正装置。

- (2) 基準クロック信号とこの基準クロック信号の $1/N$ クロック($N=2^n$, $n=1, 2, \dots$)ずつ遅延させた $N-1$ 個の遅延クロック信号とを用いて再生映像信号の1水平走査期間の時間長を検出することを特徴とする特許請求の範囲第1項記載の時間軸誤差補正装置。

- (3) 基準クロック信号の L 倍($L=2^l$, $l=1, 2, \dots$)で発振する通倍クロック信号とこの通倍クロック信号の $1/M$ クロック($M=2^m$, $m=1, 2, \dots$)ずつ遅延させた $M-1$ 個の遅延通倍クロック信号とを用いて再生映像信号の1水平走査期間の時間長を検出することを特徴とする特許請求の範囲第1項記載の時間軸誤差補正装置。

- (4) 速度誤差信号の現時刻及びそれ以前の数水平走査期間の速度誤差信号から多項式近似して次の水平走査期間内の速度誤差補正信号を得ることを特徴とする特許請求の範囲第2項または第3項記載の時間軸誤差補正装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、再生映像信号に含まれる時間軸誤差に高速、高性能に追従するクロック信号を得て再生映像信号の時間軸変動を除去し、高品質な映像信号を得る時間軸誤差補正装置に関するものである。

従来の技術

従来VTR等の再生映像信号の時間軸誤差成分を除去するためには、VCO、AFC回路等から得られる再生映像信号の時間軸誤差に位相同期したクロック信号によって再生映像信号をA/D変換して記憶装置に書き込み、前記VCO、AFC回路等のアナログ量の誤差電圧を速度誤差電圧とし、この速度誤差電圧に従って基準クロック信号をアナログ的に位相変調して得られる変調クロック信号で前記記憶装置から読み出してD/A変換する時間軸誤差補正装置が提案されている。

発明が解決しようとする問題点

しかしながら上記の構成では、速度誤差をアナ

ログ位相比較器を用いて電圧レベルあるいはパルス幅として検出し、この速度誤差をアナログ位相変調器の変調電圧に変換してクロック信号を位相変調しているため、コンデンサのリーク、部品のばらつきや温度特性、ノイズ等の影響により精度良く安定な速度誤差の検出及び位相変調ができない問題がある。また精度良い前記検出及び変調を行なうためには複雑な調整が必要であり量産化をする上で大きな問題となる。

更に、速度誤差電圧をアナログ量として検出するので、記憶、または複雑な変換処理をするためには、アナログ信号処理では精度、安定性に問題があり、ディジタル信号処理するためにはA/D変換器等のディジタル変換器が必要となる。

本発明はかかる点に鑑み、高精度にしかも安定度の高い時間軸誤差補正を行ないディジタル信号処理で補正することにより調整も不要な時間軸誤差補正装置を提供するものである。

問題点を解決するための手段

本発明は、基準クロック信号とその $1/N$ クロッ

ク($N=2^n$ $n=1, 2, \dots$) ずつ遅延させた遅延クロック信号とを用いて検出した再生映像信号の1水平走査期間の検出時間長と前記基準クロック信号を計数した1水平走査基準時間長との差を2進符号で速度誤差信号として得て記憶装置Iに書き込み、現時刻の速度誤差信号とその前数水平走査期間の速度誤差信号から多項式近似により次の水平走査期間の速度誤差を予測して速度誤差補正信号を得、前記基準クロック信号を前記再生映像信号の1水平走査ごとの基準位置に位相シフトして位相同期させこの位相同期クロック信号を前記速度誤差補正信号に従って位相シフトした位相補正クロック信号で前記再生映像信号をA/D変換し、記憶装置IIに書き込み、所定の安定したクロック信号で前記記憶装置IIから読み出しD/A変換して再生映像信号の時間軸変動を除去する時間軸誤差補正装置である。

作 用

本発明は、上記した構成により再生映像信号をA/D変換するクロック信号を前記再生映像信号

の1水平走査ごとの基準位置に基準クロック信号の位相を同期させることにより時間軸変動の低域周波数成分を除去し、前記再生映像信号の速度誤差をディジタル的に前記基準クロック信号の $1/N$ クロックの精度で検出し、次の水平走査期間の速度誤差を予測して速度誤差補正することによって時間軸変動の高域周波数成分を除去し、高精度で安定度の高い時間軸誤差の除去を行なうことができる。

実施例

以下、本発明の実施例について説明する。第1図は本実施例の時間軸誤差補正装置のブロック図、第2図は第1の位相シフト器6の動作波形図、第3図は再生映像信号の時間軸誤差の波形図、第4図は時間軸誤差を速度誤差の3次多項式近似によって予測して速度誤差補正信号を得る波形図、第5図は速度誤差補正信号発生器7、及び第2の位相シフト器8のブロック図、第6図は第5図の動作を説明する波形図である。

本実施例においては、基準クロック信号とその

1/8クロックずつの遅延クロック信号を用い、速度誤差補正は3次多項式近似する場合を例にとって説明する。

再生映像信号は入力端子1からA/D変換器3、及びバースト信号検出器4に入力する。バースト信号検出器4から出力する検出バースト信号は第1の位相シフト器5に入力し、例えば第1波の立ち上がりが検出される。第2図Aはこの第1のバースト信号である。第1の位相シフト器5では、この第1のバースト信号Aと基準クロック信号B及び1/8クロックずつ遅延した遅延クロック信号C、D、E、F、G、H、Iとの位相を比較して最も近いクロック信号を1H(H:水平走査期間)ごとを選択し位相同期クロック信号Jを出力する。前記基準クロック信号Bは入力端子2から入力する基準Hに位相同期して基準クロック信号発生器9で発生したものである。速度誤差検出器6では、前記検出バースト信号の1H時間長を、前記基準クロック信号及び1/8クロックずつ遅延させた7個の遅延クロック信号とを用いて検出し、前記基準

$$\begin{cases} a = \frac{1}{6} (11\Delta V_n - 7\Delta V_{n-1} + 2\Delta V_{n-2}) \\ b = \frac{1}{2} (2\Delta V_n - 3\Delta V_{n-1} + \Delta V_{n-2}) \\ c = \frac{1}{6} (\Delta V_n - 2\Delta V_{n-1} + \Delta V_{n-2}) \end{cases}$$

$$Y_{n+1}(0) = 0, Y_{n+1}(1) = \Delta V'_{n+1}$$

$X_{n+1}(t)$: 速度誤差微分信号, $\Delta V'_{n+1}$: 予測速度誤差信号と与えられる。

第2の位相シフト器8は、この速度誤差補正信号 $Y_{n+1}(t)$ に従って前記位相同期クロック信号と1/8クロックずつの遅延クロック信号からクロック信号を選択して位相補正クロック信号を得る。この位相補正クロック信号によりA/D変換器3で前記再生映像信号をA/D変換し記憶装置10の書き込みを制御する。前記記憶装置10の読み出し、及びD/A変換器11は前記基準クロック信号で制御し、出力端子12に時間軸誤差成分の除去された再生映像信号が出力する。

次に、第5図、及び第6図を用いて上記速度誤差補正を説明する。

入力端子13には再生映像信号の再生H信号が、入力端子14には速度誤差信号 ΔV_1 が、入力端子

クロック信号を計数した1H時間長との差を速度誤差信号 ΔV_1 として出力する。第3図の ΔV_1 がこの速度誤差信号であり、例えば6ビットの2進符号で与えられる。この場合、速度誤差範囲 ± 4 クロックであり6ビットのうち上位から符号ビットが1ビット、クロック単位の速度誤差が2ビット、クロック内の速度誤差が3ビットである。

速度誤差補正信号発生器7では、前記速度誤差信号 ΔV_1 を随時記憶装置に書き込み、現時刻の ΔV_n とそれ以前の ΔV_{n-1} 、 ΔV_{n-2} とから3次多項式近似して次の速度誤差 $\Delta V'_{n+1}$ を予測し速度誤差補正信号 $Y_{n+1}(t)$ を出力する。第4図はその動作を説明する波形図である。

速度誤差補正信号 $Y(t)$ は式で近似される。

$$Y(t) = at + bt^2 + ct^3$$

ここで現時刻の水平走査期間をnとし、 $Y_{n+1}(t)$ を次の水平走査期間内の速度誤差補正信号とし、

$$t = \frac{TCK}{1HCK} \quad (TCK: 1H内のカウント数,$$

$1HCK: 1Hのカウント数$ $0 \leq t \leq 1$) とすると、

$$Y_{n+1}(t) = at + bt^2 + ct^3 = \int (a + 2bt + 3ct^2) dt = \int X_{n+1}(t) dt$$

15には位相同期クロック信号が入力する。記憶装置16は6ビットのシフトレジスタであり速度誤差信号を順次シフトして現時刻nに対して ΔV_n 、 ΔV_{n-1} 、 ΔV_{n-2} を演算器17に出力する。演算器17は上記3次多項式近似に基づいて係数abcを計算し各時刻tにおける前記速度誤差微分信号 $X_{n+1}(t)$ を出力する。この $X_{n+1}(t)$ (第5図L)は、1Hの所定の位置のパルスとその符号ビット信号からなり、たとえば $\Delta V'_{n+1} = 000101$ の時1H期間内に位相補正すべき数、すなわち6個のパルスを発生させる。up/downカウンタ18は前記再生H信号でクリアされたのち前記速度誤差微分信号 $X_{n+1}(t)$ をクロックとし前記符号ビット信号でup/downを制御してカウントし、速度誤差補正信号 $Y_{n+1}(t)$ (第5図M、N、O)を出力する。このカウントupまたはdownは前記 $Y_{n+1}(t) = \int X_{n+1}(t) dt$ の積分に相当している。選択器20では前記位相同期クロック信号(CK2)と遅延クロック信号(CK2~CK8)とから前記速度誤差補正信号 $Y_{n+1}(t)$ に従ってクロック信号をCK1、CK2、

…へと順次切り換えて位相補正クロック信号として出力端子29へ出力する。D-F F19は遅延器21で遅延した位相補正クロック信号により上記クロック切換えタイミングを制御している。

以上の様に本実施例によれば、基準クロック信号を再生映像信号のバースト信号に位相同期させて位相同期クロック信号を得、再生映像信号の速度誤差を基準クロック信号を用いてその $\frac{1}{N}$ クロックの精度で直接検出し、この速度誤差信号から3次多項式近似により次の水平走査期間内の速度誤差を予測して速度誤差補正信号を得、前記位相同期クロック信号の位相を順次シフトして得る位相補正クロック信号で前記再生映像信号をA/D変換し記憶装置に書き込み、基準クロック信号で読み出しD/A変換を行なうことにより、高速追従、高精度で安定度の高い時間軸変動の除去を行なうことができる。また、位相同期クロック信号及び補正クロック信号は完全なデジタル信号処理で得ることができるため、VCO及びアナログ位相変調器を必要とせず回路の調整も不要で、部品の

ばらつきや信号処理系のノイズによる特性の劣化も少ない。

更に前記記憶装置から読み出される再生映像信号は完全に時間軸変動が除去されているので、以後信号処理する上で非常に都合が良い。

なお、本実施例では、基準クロック信号とその $\frac{1}{N}$ クロックずつの遅延クロック信号を用いて位相同期クロック信号の発生、速度誤差の検出、及び位相補正クロック信号の発生を行なっているが、例えば基準クロック信号のみ通倍クロック信号とその $\frac{1}{N}$ クロックの遅延クロック信号を用いて上記処理を行なっても同様な効果を得ることができ、この場合、多くの遅延器を必要とせず、遅延のばらつきやクロックのデューティの変化による精度の劣化も少ない。

発明の効果

以上説明した様に、本発明によれば再生映像信号の時間軸誤差を基準クロック信号の $\frac{1}{N}$ クロックの精度で検出し、この時間軸誤差の低域周波数成分のみならず高域周波数成分までにも位相同期

したクロック信号を得ることができるため、再生映像信号の時間軸誤差成分を精度良く安定に除去することができる。また、全系デジタル信号処理であるので回路の調整等も不要である。

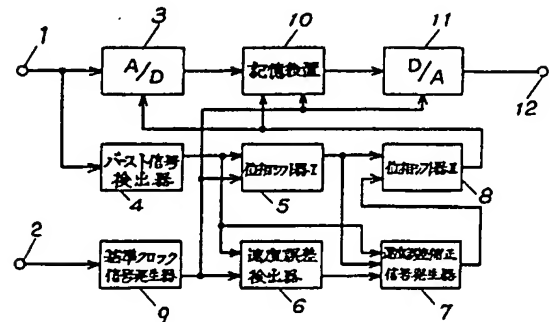
4、図面の簡単な説明

第1図は本発明の実施例の時間軸誤差補正装置のブロック図、第2図は同実施例の第1の位相シフト器の動作波形図、第3図は同実施例の再生映像信号の時間軸誤差の波形図、第4図は同実施例の速度誤差補正信号を得る波形図、第5図は同実施例の速度誤差補正信号発生器、及び第2の位相シフト器のブロック図、第6図は第5図の動作を説明する波形図である。

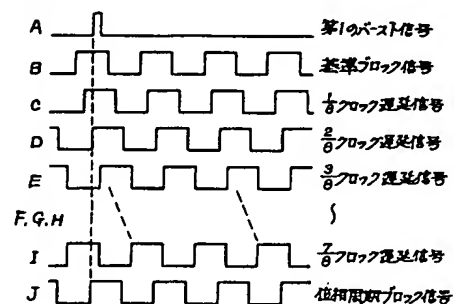
3……A/D変換器、4……バースト信号検出器、5……第1の位相シフト器、6……速度誤差検出器、7……速度誤差補正信号発生器、8……第2の位相シフト器、9……基準クロック信号発生器、10……記憶装置、11……D/A変換器。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

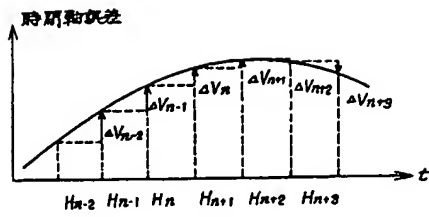
第1図



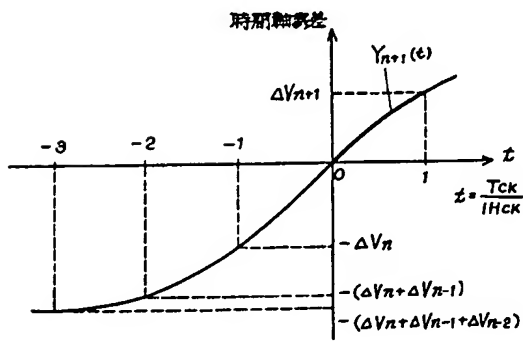
第2図



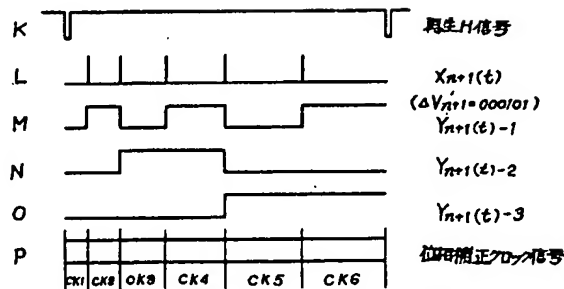
第 3 図



第 4 図



第 6 図



第 5 図

